

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-125008

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

G11B 20/14

(21)Application number : 08-273166

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.10.1996

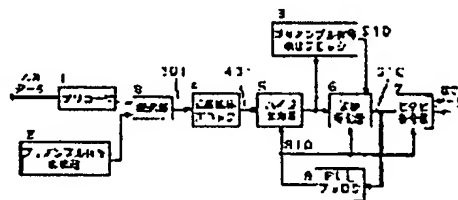
(72)Inventor : HAMADA TADAO  
YAMAMOTO TAKASHI  
NAGANO KOICHI  
OKAMOTO YOSHIFUMI

## (54) SYNCHRONOUS CLOCK GENERATING DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To prevent time required to lock PLL from becoming long while enabling a conventional PLL system to be utilized even when a PR method is changed, by newly providing a preamble data detector corresponding to a waveform equalizer.

SOLUTION: A preamble signal detecting block 9 detects a preamble data from an output of an A/D converter 5 to output a control signal to a waveform equalizer 6, in order to switch characteristics of a transmission line. Then, upon detecting the preamble data generated by a preamble signal generator 2, the waveform equalizer 6 outputs the output data of the A/D converter 5 in a convolutional manner which is based on a scheme employed in the preamble signal generator 2. In the case for normal data, the waveform equalizer 6 outputs, in accordance with the control signal, the output data of the A/D converter 5 in a convolutional manner which is based on a PR method. Thus, even when the PR method is changed, a conventional preamble pattern can be employed upon locking PLL.



Best Available Copy

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125008

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.<sup>8</sup>

G 11 B 20/14

識別記号

3 4 1

F I

G 11 B 20/14

3 4 1 B

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平8-273165  
 (22) 出願日 平成8年(1996)10月16日

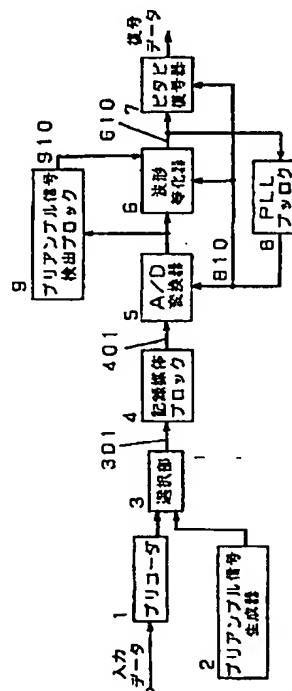
(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (72) 発明者 ▲はま▼田 匡夫  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72) 発明者 山元 隆  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72) 発明者 永野 孝一  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (74) 代理人 弁理士 滝本 智之 (外1名)  
 最終頁に続く

(54) 【発明の名称】 同期クロック生成装置

(57) 【要約】

【課題】 従来のPR方式に対応したPLLシステムを別のPR方式においても、引き込み時の性能を落さずに利用する記録再生装置。

【解決手段】 PLLの引き込み時に、伝送路特性を従来のPR方式に対応した特性に切り替える事により、従来のPLLシステムを性能を落さず利用可能となる。



Best Available Copy

## 【特許請求の範囲】

【請求項1】 入力データをプリコードするプリコードと、プリアンプルデータを生成するプリアンプルデータ生成器と、前記プリコードの出力と前記プリアンプルデータ生成器の出力を選択する選択部と、前記選択部の出力を記録する記録媒体ブロックと、前記記録媒体ブロックから再生したデータをアナログデータからデジタルデータへと変換するA/D変換器と、前記A/D変換器の出力からプリアンプルデータを検出し制御信号を出力するプリアンプルデータ検出器と、前記A/D変換器の出力を等化する特性を前記制御信号により変えることができる波形等化器と、前記波形等化器の出力を用いてクロックを再生するPLL回路と、前記波形等化器の出力から入力データを再生するビタビ復号器とを備えた同期クロック生成装置。

【請求項2】 記録媒体ブロックからの再生したデータをアナログデータからデジタルデータへと変換するA/D変換器と、前記A/D変換器の出力からプリアンプルデータを検出し制御信号を出力するプリアンプルデータ検出器と、等化特性の異なる2つの波形等化器と、前記A/D変換器の出力と波形等化器の入力を前記制御信号により開閉する開閉回路と、前記波形等化器の出力を前記制御信号により開閉する開閉回路を備えた請求項1に記載の同期クロック生成装置。

【請求項3】 記録媒体ブロックからの再生したデータをアナログデータからデジタルデータへと変換するA/D変換器と、前記A/D変換器の出力からプリアンプルデータを検出し制御信号を出力するプリアンプルデータ検出器と、前記A/D変換器の出力を等化する波形等化器と、前記波形等化器の出力を用いてさらに波形等化を行なう波形等化器と、前記波形等化器の出力を前記制御信号により開閉する開閉回路を備えた請求項1に記載の同期クロック生成装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、PRML(Partial Response Maximum Likelihood)方式を用いた記録再生装置に関し、特に同期クロックの生成を行なう構成に関するものである。

## 【0002】

【従来の技術】PRML方式を用いた記録再生装置において、以下に従来のシステムについて説明する。図2は従来の磁気記録再生装置の構成図である。図2において1はプリコード、2はプリアンプルデータ生成器、3は選択部、301は選択部出力データ、4は記録媒体ブロック、5はA/D変換器、6は波形等化器、7はビタビ復号器、8はPLLブロック、801は同期クロックである。

【0003】 以上のように構成された記録再生装置について、記録時と再生時に分けて説明する。まず記録時には、入力データはプリコードにより所定のPR符号化方式

に準じた特性によりプリコードされる。プリコードとは、入力データと時間遅れさせたデータと演算することによりエラー伝搬を削除する処理である。

【0004】 プリアンプルデータは、データ再生時に同期クロックを容易かつ高速に生成する為の特殊なコード(プリアンプルデータ)であり、プリアンプルデータ生成器により生成される。プリコードされたデータ(以下プリコードデータ)は、選択部によりプリアンプルデータを先頭に付加され(図5参照)、記録媒体に記録される。

【0005】 再生時には、まず記録媒体から再生されたデータがA/D変換器によりデジタルデータへと変換される。デジタル変換された再生データは、波形等化器により波形等化されビタビ復号器により復号される。

【0006】 波形等化器は、等化器入力データに対し時間遅れさせたデータを所定のPR符号化方式に準じ畳み込みを行なう。ビタビ復号器は、畳み込み符号化された等化器出力を最尤復号法を用いて復号する。

【0007】 A/D変換器と波形等化器、ビタビ復号器を動作させるクロックは、PLLブロックにより生成される。PLLブロックは、等化器出力からタイミング誤差量を計算し再生データに同期したクロックを再生する。

【0008】 従来のシステム(特にPR4方式)においては、高速な引き込み速度を実現するタイミング誤差検出回路がいくつか提案されている。(例えば特開平7-192406号公報記載の発明)PR4方式におけるPLLシステムの基本構成を図6に示す。

## 【0009】

【発明が解決しようとする課題】以上の構成のままPR方式を変える場合には、まず伝送路特性(プリコード特性、等化器特性、ビタビ復号器特性)を変えなければならない。この伝送路特性を変えた事によりPLLブロックに入力されるプリアンプルデータも従来のパターンから変化してしまい、従来のタイミング誤差検出回路では、引き込み時間(PLLがロックするまでの時間)が従来よりも長くなる。これによりプリアンプルデータ領域が増大し、記録再生装置の大容量化を制限してしまう。

【0010】 そこで本発明は上記従来の問題点を解決する為に、PR方式を変えた場合においてもPLLの引き込み時間が長くなることを防ぎ、かつ従来のPLLシステムが利用可能な記録再生装置を提供することを目的とする。

## 【0011】

【課題を解決するための手段】本発明は、プリアンプルデータが記録再生装置を通過する時の伝送路特性を変化させ、従来のPLLシステムを用いて同レベルのPLLの引き込み速度を実現することを目的とする。

## 【0012】

【発明の実施の形態】以下本発明の一実施の形態について、図面を参照しながら説明する。

【0013】 (実施の形態1) まず、本実施形態の記録

再生装置について説明する。図1は本実施の形態における記録再生装置の構成図を示すものである。図において1はプリコード、2はプリアンプルデータ生成器、3は選択部、4は記録媒体ブロック、5はA/D変換器、6は波形等化器、7はビタビ復号器、8はPLLブロック、801は同期クロック、9はプリアンプルデータ検出器、901は制御信号である。

【0014】図1に示すように記録再生装置の入力データは、プリコードにより所定のPR方式に準じた方式でプリコードされる。次に、プリコードされたデータは選択部において、プリアンプルデータ生成器で生成されたプリアンプルデータを先頭に付加され記録媒体ブロックに記録される。ただし、このプリアンプルデータ生成器は、プリコードとは異なるPR方式に準じた方式のプリコードによりプリコードされたデータを生成する。ここで所定のPR方式をA方式、プリアンプルデータ生成器での方式をB方式とする。

【0015】記録媒体ブロックから再生されたデータは、デジタル処理を行なう為に、A/D変換器でアナログデータからデジタルデータへと変換される。プリアンプルデータ検出器は、A/D変換器の出力からプリアンプルデータを検出し、伝送路の特性を切り替える為に制御信号を出力する。プリアンプルデータ検出時には、波形等化器はB方式によりA/D変換器の出力データを畳み込み出力する。通常のデータの場合には、波形等化器は制御信号により、A/D変換器の出力データをA方式で畳み込み出力する。

【0016】ビタビ復号器は制御信号により復号方式を切り替え、波形等化器の出力から入力データもしくはプリアンプルデータを復号する。PLLブロックは波形等化器の出力を用いて、乗算器、加算器、遅延部、ラッチ部を介してタイミング誤差量を計算し、VCOを制御することによりVCOの出力クロックを記録媒体からのデータに同期させる。このVCOの出力するクロックに同期して、A/D変換器や波形等化器、ビタビ復号器、PLLブロック、プリアンプルデータ検出器は動作する。

【0017】上記システムにより、PR方式を変えた場合においても、PLLの引き込み時には従来のプリアンプルデータのパターンを使用する事が可能になり、従来の高速な引き込み速度を実現できる。

【0018】（実施の形態2）波形等化器の等化特性を切り替える手段として図3に示す波形等化ブロックの構成を与える。これは、A方式とB方式に対応した別々の波形等化器から構成され、入力出力するデータをプリアンプルデータ検出器からの制御信号により切り替えることにより、等化特性を変える事の特徴としている。

【0019】（実施の形態3）また、波形等化器の等化

特性を切り替える別手段として図4に示す波形等化ブロックの構成を与える。これは、B方式とC方式に対応した別々の波形等化器から構成され、C方式の波形等化器の入力データは、B方式の波形等化器の出力データを用いる。プリアンプルデータ検出器からの制御信号により、B方式の波形等化器の出力とC方式の波形等化器の出力を切り替えることにより、等化特性を変える事の特徴としている。ただしB方式とC方式の波形等化器で、A方式の等化特性を持つ波形等化器を構成するようにC方式の波形等化器の等化特性は決定される。

【0020】

【発明の効果】以上のように本発明は、記録再生装置のPR方式が変わってもPLLの引き込み時において従来の高速なPLLシステムを利用することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における記録再生装置の構成図

【図2】従来の記録再生装置の構成図

【図3】本発明の第2の実施の形態における波形等化器の特性切り替え方法の一例を示す構成図

【図4】本発明の第3の実施の形態における波形等化器の特性切り替え方法の一例を示す構成図

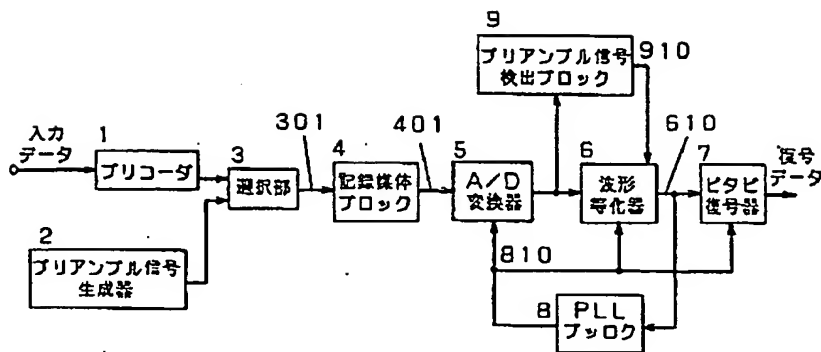
【図5】選択部の出力形式（データフォーマット）を示す説明図

【図6】従来のPR4方式におけるPLLブロックの構成図

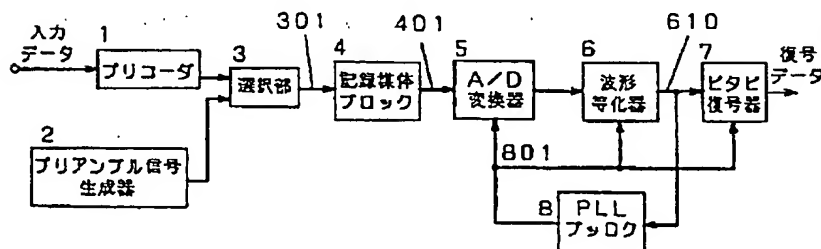
【符号の説明】

- 1 プリコード
- 2 プリアンプル信号生成器
- 3 選択部
- 301 選択部出力データ
- 4 記録媒体ブロック
- 401 記録媒体ブロック出力データ
- 5 A/D変換器
- 6 波形等化器（ブロック）
- 601, 602, 605, 606 波形等化器
- 603, 604 開閉回路
- 610 波形等化器出力データ
- 7 ビタビ復号器
- 8 PLLブロック
- 801 同期クロック
- 802 比較器
- 803, 804 遅延素子
- 805, 806 乗算器
- 807 引算器
- 808 DAC
- 809 ループフィルタ
- 810 VCO

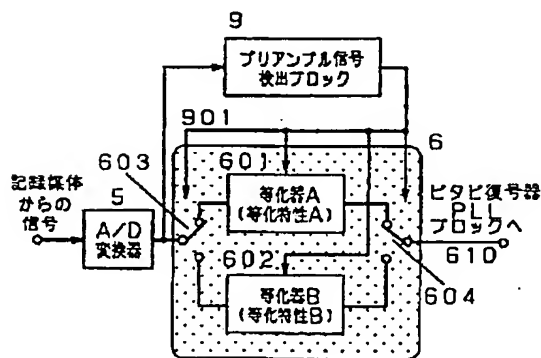
【図1】



【図2】

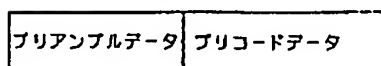


【図3】

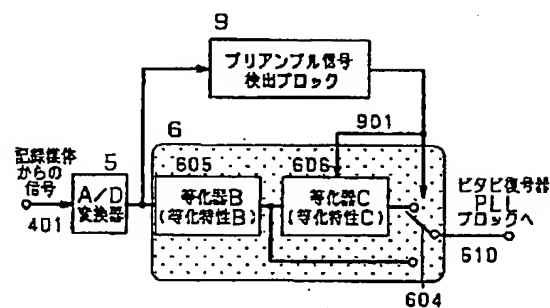


【図5】

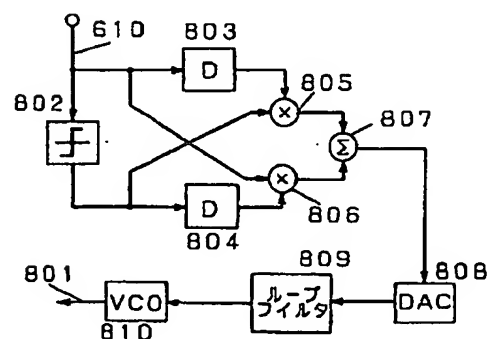
30.1 選択部出力データ



【図4】



【図6】



フロントページの続き

(72) 発明者 岡本 好史

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Best Available Copy